



**⑫ Offenlegungsschrift
⑬ DE 197 52 052 A 1**

⑤ Int. Cl. 6.

H 01 L 29/732

H 01 L 21/331

②1 Aktenzeichen: 197 52 052.9
②2 Anmeldetag: 25. 11. 97
④3 Offenlegungstag: 6. 8. 98

DE 19752052 A1

(30) Unionspriorität:
08/792,602 31.01.97 US

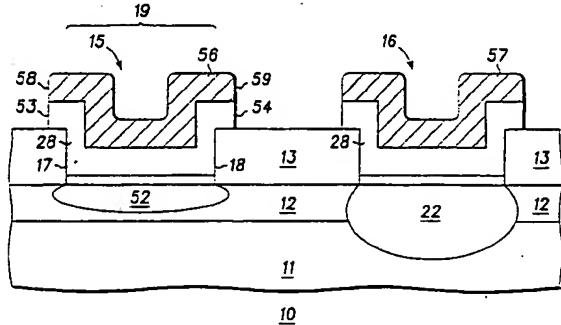
(71) Anmelder:
Motorola, Inc., Schaumburg, Ill., US

(74) Vertreter:
Dr. L. Pfeifer und Kollegen, 65203 W

(72) Erfinder:
Sanders, Paul W., Scottsdale, Ariz., US; Freeman, John L., jr., Mesa, Ariz., US; Mackie, Troy E., Chandler, Ariz., US; Wood, Alan D., Mesa, Ariz., US; Costa, Julio C., Phoenix, Ariz., US

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen.

- 54) Halbleitervorrichtung und Herstellungsverfahren
55) Erfindungsgemäß wird eine Halbleitervorrichtung (10) in einem Halbleitersubstrat (11) gebildet, welches als Kollektorbereich dient. Ein Basisbereich (12) wird in dem Halbleitersubstrat (11) gebildet, und ein Emitterbereich (52) wird derart gebildet, daß er zumindest einen Teil des Basisbereichs (12) berührt. Eine leitende Schicht (28) wird verwendet, um eine elektrische Verbindung mit dem Emitterbereich (52) zu schaffen. Der Teil der leitenden Schicht (28) oberhalb des Emitterbereichs (52) wird gegondotiert, um die Probleme einer Grenzflächen-Oxidschicht (27) anzugehen, welche zwischen dem Emitterbereich (52) und der leitenden Schicht (28) existieren.



Beschreibung

Die vorliegende Erfindung betrifft im allgemeinen Halbleiterrichtungen, und insbesondere Bipolartransistoren mit einer relativ hohen Durchbruchsspannung zwischen dem Kollektor- und Emitteranschluß (BV_{CEO}).

Ein üblicher Prozeß zum Herstellen von Bipolartransistoren enthält die Schritte der Dotierung eines n-Typ-Halbleitersubstrats, welches als Kollektoranschluß dient, mit einem p-Typ-Dotierstoff zum Bilden eines Basisbereichs. Eine Schicht aus Polysilizium wird auf der Oberfläche des Halbleitersubstrats gebildet, um einen elektrischen Kontakt mit einem Emitterbereich und mit dem Basisbereich zu schaffen. Der Emitterbereich wird durch Dotieren eines Teils des dotierten Bereichs durch die Polysiliziumschicht mit einem n-Typ-Dotierstoff gebildet.

Zum Erhöhen des elektrischen Kontakts mit dem Basisbereich wird ein zusätzlicher Basiskontaktbereich durch Dotieren des Halbleitersubstrats mit einem p-Typ-Dotierstoff durch die Polysiliziumschicht gebildet. Während der folgenden Hochtemperaturverarbeitung wandert ein Teil des Dotierstoffs, welcher zum Bilden des Basiskontaktbereichs verwendet wird, durch die Polysiliziumschicht und sammelt sich in der Polysiliziumschicht im Emitterteil des Bipolartransistors an. Die laterale Diffusion des p-Typ-Dotierstoffs bildet einen Minoritätsträger-Konzentrationsgradienten in der Polysiliziumschicht oberhalb des Emitterbereichs. Die Gegenwart dieses Konzentrationsgradienten erzeugt Schwankungen im Widerstand des Emitterabschnitts der Polysiliziumschicht. Diese Schwankungen im Widerstand erschweren es, die exakten Funktionscharakteristika des Bipolartransistors vorherzusagen und zu steuern.

Übliche Verfahren zum Kompensieren dieses Problems sind auf die Erhöhung der Verstärkung (Beta) des Bipolartransistors und die Reduzierung der Durchbruchsspannung (BV_{CEO}) des Transistors gerichtet. Jedoch sind diese Lösungen nicht anwendbar, wenn der Bipolartransistor zur Benutzung in Radiofrequenz (RF)-Leistungsanwendungen vorgesehen ist. Diese Anwendung erfordert relativ geringe Beta-Werte mit einer hohen Durchbruchsspannung und einer hohen Stromtragfähigkeit.

Dementsprechend existiert eine Notwendigkeit zum Bereitstellen eines Verfahrens zum Angehen der Schwankungen in Widerstand einer Bipolartransistorvorrichtung für RF-Leistungsanwendungen. Es wäre vorteilhaft, falls das Verfahren nicht nur die Steuerung des Herstellungsprozesses verbessern würde, sondern ebenso die Durchbruchsspannung des Bipolartransistors verbessern würde.

Die vorliegende Erfindung schafft eine Halbleiterrichtung nach Anspruch 1 und ein Herstellungsverfahren für eine Halbleiterrichtung nach Anspruch 8 bzw. 9.

Bevorzugte Weiterbildungen sind Gegenstand der jeweiligen Unteransprüche.

Im folgenden wird die vorliegende Erfindung anhand von Ausführungsbeispielen unter Bezugnahme auf die begleitenden Zeichnungen näher erläutert.

Es zeigen:

Fig. 1 und 2 vergrößerte Querschnittsansichten einer Halbleiterrichtung bei verschiedenen Herstellungsstufen in Übereinstimmung mit der vorliegenden Erfindung;

Fig. 3 eine Darstellung zum Demonstrieren eines Konzentrationsgradienten in einem Teil der Halbleiterrichtung in Übereinstimmung mit der vorliegenden Erfindung;

Fig. 4 eine Darstellung zum Zeigen eines Konzentrationsgradienten, der in früher bekannten Halbleiterrichtungen angefunden werden kann; und

Fig. 5-7 vergrößerte Querschnittsansichten der Halbleiterrichtung bei verschiedenen Herstellungsstufen in

Übereinstimmung mit der vorliegenden Erfindung.

Man wird verstehen, daß aus Gründen der Einfachheit und Klarheit der Illustration die in den Figuren illustrierten Elemente nicht notwendigerweise skaliert sind. Beispielsweise sind die Dimensionen von einigen der Elemente relativ zu anderen Elementen der Klarheit halber übertrieben. Weiterhin wurden, wo es als angebracht erschien, Bezugssymbole in den Figuren wiederholt, um entsprechende oder analoge Elemente zu bezeichnen.

Fig. 1 ist eine vergrößerte Querschnittsansicht einer Halbleiterrichtung 10 in einem frühen Schritt im Herstellungsprozeß. Die Halbleiterrichtung 10 ist ein Bipolartransistor, welcher hier im weiteren in einer NPN-Konfiguration beschrieben wird. Dies bedeutet, daß die Halbleiterrichtung 10 einen Kollektor- und einen Emitterbereich aufweist, welche eine n-Typ-Leitfähigkeit aufweisen, die durch einen Basisbereich gesteuert wird, der eine p-Typ-Leitfähigkeit aufweist. Dies dient nicht zur Beschränkung, denn die Fachleute werden erkennen, daß eine PNP-Konfiguration dadurch erzielt werden kann, daß p-Typ-Bereiche in n-Typ-Bereiche umgewandelt werden und umgekehrt.

Die Halbleiterrichtung 10 wird auf einem Halbleitersubstrat 11 gebildet, welches eine obere Oberfläche 21 und eine untere Oberfläche 14 aufweist. Das Halbleitersubstrat 11 ist vom n-Leitungstyp und dient als Kollektoranschluß der Halbleiterrichtung 10. Bei der bevorzugten Ausführungsform ist das Halbleitersubstrat 11 ein Siliziumsubstrat, aber es sollte verstanden werden, daß es möglich ist, andere Halbleitermaterialien, wie z. B. Silizium-Germanium, zu verwenden.

Ein Basisbereich 12 wird durch Dotieren des oberen Teils des Halbleitersubstrats 11 auf p-Leitungstyp unter Verwendung eines üblichen Implantations- oder Diffusionsprozeß gebildet. Es sollte verstanden werden, daß es möglich ist, den Basisbereich 12 durch einen Epitaxie-Wachstumsprozeß auf dem Halbleitersubstrat 11 zu bilden.

Eine Schicht aus dielektrischem Material 13, welche im weiteren als dielektrische Schicht 13 bezeichnet wird, wird dann auf der oberen Oberfläche 21 des Halbleitersubstrats 11 gebildet, und zwar unter Verwendung von entweder einem üblichen chemischen Dampfabscheidungs-(CVD-)Prozeß, einem Plasmaunterstützten chemischen Abscheidungsprozeß (PECVD) oder einem anderen Prozeß. Bei der bevorzugten Ausführungsform ist die dielektrische Schicht 13 eine einzelne Schicht aus Siliziumdioxid, aber die dielektrische Schicht 13 könnte ebenfalls eine einzelne Schicht aus Siliziumnitrid sein oder einen Stapel von dielektrischen Schichten sowohl mit Siliziumnitrid als auch mit Siliziumdioxid umfassen.

Die dielektrische Schicht 13 wird so strukturiert, wie in Fig. 1 gezeigt. Vorzugsweise wird ein reaktiver Ionenätzen-(RIE-)Prozeß zum Bilden von Löchern 15 und 16 in der dielektrischen Schicht 13 verwendet, welche die darunter liegende obere Oberfläche 21 des Halbleitersubstrats 11 freilegen. Das Loch 15 hat eine Breite 19, welche von einem ersten Rand 17 zu einem zweiten Rand 18 der dielektrischen Schicht 13 definiert ist, und die Breite 19 liegt im Bereich zwischen etwa 0,1 Mikrometer und 5 Mikrometer. Eine RIE-Ätzung wird bevorzugt beim Bilden der Löcher 15 und 16, so daß die Ränder 17 und 18 des Lochs 15 im wesentlichen senkrecht zur oberen Oberfläche 21 des Halbleitersubstrats 11 und einer oberen Oberfläche 23 der dielektrischen Schicht 13 verlaufen. Wie nachstehend detaillierter erörtert wird, müssen die Ränder 17 und 18 nicht exakt senkrecht zur oberen Oberfläche 21 verlaufen, weshalb ein Naßätzprozeß zur Bildung der Löcher 15 und 16 verwendet werden kann.

Der Basiskontaktbereich 22 wird durch Implantieren oder

Diffundieren eines p-Typ-Dotierstoffs in das Halbleitersubstrat 11 durch das Loch 16 gebildet. Beispielsweise wird eine Maskierschicht (nicht gezeigt), wie z. B. eine dicke (beispielsweise 1,0 Mikrometer) Photolackschicht, auf der dielektrischen Schicht 13 derart gebildet, daß der Teil des durch das Loch 16 freigelegten Basisbereichs 12 dotiert wird. Ein p-Typ-Dotierstoff, wie z. B. Bor, wird in den freigelegten Teil des Basisbereichs 12 implantiert. Vorzugsweise geschieht die Implantation unter einem Winkel von null Grad (d. h. das Halbleitersubstrat 11 ist senkrecht zum Ionenstrahl), aber sie könnte im Bereich von etwa -10 Grad bis +10 Grad variieren. Eine Bordosis von etwa $5,0 \times 10^{14}$ Atomen/Zentimeter² (cm)² bis $1,0 \times 10^{17}$ Atomen/cm² und eine Implantationsenergie von etwa 20 Kiloelektronenvolt (keV) bis 150 keV ist zur Bereitstellung des Basiskontaktbereichs 22 geeignet. Die Maskierschicht wird dann unter Verwendung geeigneter Techniken entfernt und ein Anneal-Prozeß bzw. Temperprozeß wird verwendet, um den implantierten Dotierstoff in das Halbleitersubstrat 11 zu diffundieren, wie in Fig. 1 gezeigt. Man sollte ebenfalls verstehen, daß der Basiskontaktbereich 22 durch eine Sequenz von Implantations- oder Diffusionsschritten gebildet werden kann, um die elektrischen Charakteristika des Basiskontaktbereichs 22 weiter zu verbessern.

Fig. 2 ist eine vergrößerte Querschnittsansicht der Halbleiterrichtung 10 nach einer weiteren Verarbeitung. Als Resultat der vorherigen Verarbeitung des Halbleitersubstrats 11 in Umgebungen, welche typischerweise Sauerstoff aufweisen, bildet sich eine Grenzflächen-Oxidschicht 27 auf der oberen Oberfläche 21 des Halbleitersubstrats 11. Im allgemeinen hat die Grenzflächen-Oxidschicht 27 eine Dicke im Bereich von etwa 1 Ångström bis 25 Ångström. Das Vorliegen der Grenzflächen-Oxidschicht 27 kann die Funktionsfähigkeit der Halbleiterrichtung 10 degradieren, und dieser Punkt wird detaillierter durch die folgenden Prozeßschritte angegangen.

Eine Schicht aus leitendem Material 28, im weiteren als leitende Schicht 28 bezeichnet, wie z. B. Polysilizium, Silicid, oder ein anderes leitendes Material, wird auf der Grenzflächen-Oxidschicht 27 und der oberen Oberfläche 23 der dielektrischen Schicht 13 gebildet. Beispielsweise kann ein CVD-Prozeß verwendet werden, um eine Schicht aus Polysilizium auf dem Halbleitersubstrat 11 abzuscheiden, um so die leitende Schicht 28 bereitzustellen. Vorzugsweise ist die Polysiliziumschicht undotiert und weist eine Dicke im Bereich von etwa 100 Ångström bis 15 000 Ångström auf.

Bei einer alternativen Ausführungsform der vorliegenden Erfindung ist der Abscheidungsprozeß der leitenden Schicht 28 leicht modifiziert, falls die leitende Schicht 28 eine Polysiliziumschicht ist. Vor der Abscheidung der Polysiliziumschicht wird die obere Oberfläche 21 des Halbleitersubstrats 11 einer Sauerstoffquelle ausgesetzt, um die Bildung der Grenzflächen-Oxidschicht 27 voranzutreiben. Falls dies erfolgt, kann die Dicke der Grenzflächen-Oxidschicht 27 auf einen bekannten Wert gesteuert werden, welcher vorzugsweise weniger als 50 Ångström beträgt.

Die Bildung der Halbleiterrichtung 10 fährt fort mit einem Implantationsprozeß zum Bilden von gegendotierten Bereichen 29 in der leitenden Schicht 28. Dazu wird eine Deckimplantation über das Halbleitersubstrat 11 ohne Notwendigkeit einer Maskierschicht durchgeführt. Ein p-Typ-Dotierstoff, wie z. B. Bor, wird in die leitende Schicht 28, wie in Fig. 2 mit Pfeilen 26 angedeutet, implantiert. Vorzugsweise geschieht die Implantation unter einem Winkel von 0 Grad (d. h. das Halbleitersubstrat 11 liegt senkrecht zum Ionenstrahl), aber ein Implantationswinkel im Bereich von etwa -10 Grad bis +10 Grad könnte ebenfalls verwendet werden. Eine Bordosis von etwa $5,0 \times 10^{12}$ Atomen/cm² bis

$1,0 \times 10^{16}$ Atomen/cm² und eine Implantationsenergie von etwa 10 keV bis 100 keV ist zur Bildung der gegendotierten Bereiche 29 geeignet. Als Resultat des Implantationsprozesses werden die Oberflächen der leitenden Schicht 28, welche dem Ionenimplantationsprozeß ausgesetzt werden, mit einem p-Typ-Dotierstoff dotiert.

Folgend der Ionenimplantation wird ein Anneal-Schritt durchgeführt, um den p-Typ-Dotierstoff in der leitenden Schicht 28 zu aktivieren. Beispielsweise wird das Halbleitersubstrat 11 auf etwa 800° Celsius (C) bis 1150°C etwa 5 Minuten bis 90 Minuten lang in einer Inertumgebung erwärmt. Vor dem Anneal-Schritt ist die Verteilung des p-Typ-Dotierstoffs in der leitenden Schicht 28 ungleichmäßig. Man erinnere sich, daß die Teile der leitenden Schicht 28 entlang der Ränder 17 und 18 nicht implantiert wurden, als die gegendotierten Bereiche 29 gebildet wurden. Deshalb wird bevorzugt, daß die Löcher 15 und 16 mit einer RIE-Ätzung gebildet werden, so daß es Teile der leitenden Schicht 28 gibt, welche eine niedrigere Konzentration des p-Typ-Dotierstoffs unmittelbar nach dem Implantationsprozeß aufweisen. Die ungleichmäßige Verteilung des p-Typ-Dotierstoffs über der leitenden Schicht 28 und die Diffusionscharakteristika der polykristallinen Materialien resultieren in einem Dotierprofil in der leitenden Schicht 28, welches für die vorliegende Erfindung einzigartig ist.

Jetzt mit Bezug auf Fig. 3 noch mit Rückbezug auf Fig. 2 wird eine detailliertere Beschreibung des Dotierprofils, welches nach dem Anneal-Prozeß gebildet wird, geliefert. Fig. 3 ist eine Darstellung zum Illustrieren eines Beispiels einer 30 Dotierkonzentration oder eines Dotiergradienten über einem Teil der leitenden Schicht 28. Der Teil der leitenden Schicht 28, der in Fig. 3 illustriert ist, ist der Teil im Loch 15 (siehe Fig. 2). Wie in Fig. 2 gezeigt, gibt es einen Teil der leitenden Schicht 28 zwischen den Rändern 27 und 18. Der Teil der leitenden Schicht 28 zwischen den Rändern 17 und 18 wird 35 in Fig. 2 mit den Rändern 31 und 32 bezeichnet. Mit anderen Worten ist der Rand 31 der leitenden Schicht 28 neben den Rand 17 des Lochs 15 gesetzt oder diesem benachbart. Das-selbe gilt für den Rand 32 der leitenden Schicht 28 und den Rand 18 des Lochs 15. Der Teil der leitenden Schicht 28 zwischen den Rändern 31 und 32 hat einen Mittelpunkt 33, welcher äquidistant zwischen den Rändern 31 und 32 liegt.

Die Darstellung von Fig. 3 hat eine y-Achse 40, welche die Dotierungskonzentration in Atomen/cm³ des p-Typ-Dotierstoffs an verschiedenen Positionen innerhalb der leitenden Schicht 28 darstellt. Die Darstellung hat ebenfalls eine x-Achse 46, die den physikalischen Ort innerhalb der leitenden Schicht 28 (siehe Fig. 2) zwischen den Rändern 17 und 18 darstellt. Der Ursprung oder der äußerste linke Teil der x-Achse 46 ist die Dotierungskonzentration der leitenden Schicht 28 am Rand 31. Ein Pfeil 41 wird verwendet, um die Dotierungskonzentration der leitenden Schicht 28 am Mittelpunkt 33 (siehe Fig. 2) der leitenden Schicht 28 zu bezeichnen. Ein Pfeil 42 wird verwendet, um die Dotierungskonzentration der leitenden Schicht 28 am Rand 32 anzudeuten.

Der oben beschriebene Anneal-Prozeß bewirkt, daß der p-Typ-Dotierstoff zu den Rändern wandert und zum größten Teil am Mittelpunkt 33 der leitenden Schicht 28 bleibt. Daraus resultierend ist der Teil der leitenden Schicht 28 nahe dem Mittelpunkt 33 bedeutend höher als an einem der Ränder 31 und 32 der leitenden Schicht 28. Diese Differenz ist in der Darstellung von Fig. 3 durch eine Klammer 43 angedeutet, und vorzugsweise ist die Dotierungskonzentration nahe den Rändern 31 oder 32 zumindest 10% geringer als die Dotierungskonzentration am Mittelpunkt 33 der leitenden Schicht 28. Die Differenz der Dotierungskonzentration liegt typischerweise im Bereich von etwa $1,0 \times 10^{18}$ Atomen/cm³ bis $1,0 \times 10^{19}$ Atomen/cm³.

Fig. 4 ist als Beispiel eines Dotierungskonzentrationsprofils vorgesehen, welches in einem vergleichbaren Teil eines Bipolartransistors vorliegt, der unter Verwendung von früher bekannten Herstellungstechniken gebildet wird. Die Darstellung hat eine x-Achse 48, welche die p-Typ-Dotierstoffkonzentration über einer ähnlichen leitenden Schicht in dem früher bekannten Bipolartransistor ist. Wie bereits vorher erwähnt, resultiert diese p-Typ-Dotierungskonzentration aus der lateralen Diffusion des p-Typ-Dotierstoffs von dem Basiskontaktbereich der Halbleitervorrichtung. Der resultierende Konzentrationsgradient ist entlang einer x-Achse 47 dargestellt, um zu zeigen, wie die Dotierungskonzentration von einem Rand zum anderen variiert.

Bei der Verarbeitung von früher bekannten NPN-Bipolartransistoren wird der Teil der leitenden Schicht, welcher einen Emitterbereich bildet, nur mit einem n-Typ-Dotierstoff dotiert, um den Emitterbereich zu bilden. Es ist wohlbekannt, daß der Emitterbereich nicht beabsichtigt wurde mit einem p-Typ-Dotierstoff dotiert wird, da dies die Kapazität des Emitters erhöht und die Funktionstüchtigkeit des Bipolartransistors verschlechtert. Bei zuvor bekannten Bipolartransistoren wird ein Basiskontaktbereich weg von dem Emitterbereich unter Verwendung eines p-Typ-Dotierstoffs gebildet. Die Diffusionseigenschaften von Polysilizium ermöglichen, daß der p-Typ-Dotierstoff von dem Basiskontaktbereich diffundiert und in dem Emitterbereich eindringt. Diese laterale Diffusion des p-Typ-Dotierstoffs resultiert in einem Signaturdottomuster, welches in der Darstellung von **Fig. 4** illustriert ist. Typischerweise ist die Konzentration des "unerwünschten" p-Typ-Dotierstoffs höher an irgendeinem Rand (Pfeile 71) der leitenden Schicht als am Mittelpunkt (Pfeil 44) der leitenden Schicht, welche zur Bildung des bipolaren Transistors verwendet wird.

Im Gegensatz zur Lehre nach dem Stand der Technik wurde entdeckt, daß durch leichtes Gegendotieren des Teils der leitenden Schicht 28 (siehe **Fig. 2**) zwischen den Rändern 31 und 32 mit einem p-Typ-Dotierstoff die durch das Vorliegen der Grenzflächen-Oxidschicht 27 erzeugten Probleme angegangen werden können. Dementsprechend dotiert die vorliegende Erfindung beabsichtigtermaßen die leitende Schicht 28 gegen, wie in **Fig. 2** angedeutet, um eine Struktur zu schaffen, welche von bisher bekannten Strukturen durch das p-Typ-Dotierstoff-Konzentrationsprofil in diesem Bereich unterscheidbar ist.

Fig. 5 ist eine vergrößerte Querschnittsansicht einer Halbleitervorrichtung 10 nach einer weiteren Verarbeitung. Eine Maskierungsschicht 45 wird über der oberen Oberfläche 23 der leitenden Schicht 28 gebildet und wird strukturiert, um ein Fenster zu bilden, welches den Teil der leitenden Schicht 28 um das Loch 15 freilegt. Die Maskierungsschicht 45 ist beispielsweise eine dicke (z. B. 1 Mikrometer) Photolackschicht, eine dielektrische Schicht oder dergleichen. Nachdem die Maskierungsschicht 45 gebildet ist, werden n-dotierte Bereiche 49 durch Ionenimplantation eines n-Typ-Dotierstoffs, wie z. B. Arsen oder Phosphor, in den freigelegten Teil der leitenden Schicht 28, wie in **Fig. 5** mit Pfeilen 70 angedeutet, gebildet. Vorzugsweise wird die Implantation unter einem Winkel von null Grad durchgeführt (d. h. das Halbleitersubstrat 11 ist senkrecht zum Ionenstrahl), aber ein Implantationswinkel im Bereich von etwa -10 Grad bis +10 Grad kann ebenfalls verwendet werden. Eine Arsendsosis von etwa $5,0 \times 10^{14}$ Atomen/cm² bis $1,0 \times 10^{17}$ Atomen/cm² und eine Implantationsenergie von etwa 20 keV bis 150 keV ist geeignet, um die n-Typ-Implantationsbereiche 49 zu bilden. Es sei bemerkt, daß die Dosis dieses Implantationsprozesses zum Bilden des n-Typ-Dotierbereichs 49 in einer Dotierstoffkonzentration resultiert, welche üblicherweise größer als 1×10^{19} Atome/cm³ ist. Diese ist grü-

ber als die Dotierstoffkonzentration (typischerweise 1×10^{18} Atome/cm³) des gegendotierten Bereichs 29 (siehe **Fig. 3**). Daraus resultierend wird der p-Typ-Dotierstoff, welcher die gegendotierten Bereiche 29 bildete, als Minoritäts träger-Dotierstoff angesehen und ist in den **Fig. 5-7** einfachheitshalber nicht gezeigt. Folgend der Bildung der n-Typ-Dotierungsbereiche 49 wird die Maskierungsschicht 45 unter Verwendung geeigneter Techniken entfernt, um eine weitere Verarbeitung zu ermöglichen.

Fig. 6 ist eine vergrößerte Querschnittsansicht einer Halbleitervorrichtung 10 nach weiterer Verarbeitung. Eine Schicht aus Siliziumdioxid 51 wird auf der leitenden Schicht 28 gebildet, um die Aus-Diffusion oder die Autodotierung der Halbleitervorrichtung 10 während eines folgenden Anneal-Prozesses zu verhindern. Das Halbleitersubstrat 11 wird dann erwärmt, um den Dotierstoff des n-Typ-Dotierbereichs 49 (siehe **Fig. 5**) zu aktivieren. Beispielsweise wird das Halbleitersubstrat 11 auf etwa 800°C bis 1150°C etwa 1 Minute bis 60 Minuten lang erwärmt. Der Anneal-Prozeß bildet einen Emitterbereich 52, wie es in **Fig. 6** gezeigt ist. Man sollte verstehen, daß ein schneller thermischer Prozeß (RTP) ebenfalls verwendet werden könnte, um den Emitterbereich 52 zu bilden. Die Schicht aus Siliziumdioxid 51 wird unter Verwendung geeigneter Techniken entfernt, um eine weitere Verarbeitung zu ermöglichen.

Fig. 7 ist eine vergrößerte Querschnittsansicht einer Halbleitervorrichtung 10 nach einer weiteren Verarbeitung. Eine Metallisierungsschicht (nicht gezeigt) wird auf der leitenden Schicht 28 gebildet und wird strukturiert, um elektrische Kontakte 56 und 57, wie in **Fig. 7** gezeigt, bereitzustellen. Die Metallisierungsschicht kann eine einzelne Schicht oder eine Sequenz von Schichten aus Materialien, wie z. B. Gold, Kupfer, Aluminium, Titan-Wolfram, Nickel oder dergleichen sein. Vorzugsweise wird eine RIE-Ätzung verwendet, um die Metallisierungsschicht zum Bilden der Kontakte 56 und 57 zu strukturieren. Wenn die RIE-Ätzung durch die Metallisierungsschicht durchgeätzt ist, wird die leitende Schicht 28 geätzt, um den Kontakt 56 vom Kontakt 57 elektrisch zu isolieren. Mit anderen Worten werden die restlichen Teile der Metallisierungsschicht als Hartmaske verwendet, um die leitende Schicht 28 zu strukturieren. Demzufolge hat der Kontakt 56 Ränder 58 und 59, welche mit den Rändern 53 und 54 der leitenden Schicht 28 zusammenfallen oder damit ausgerichtet sind.

Der im Vorhergehenden beschriebene Prozeß liefert einen Bipolartransistor, welcher für RF-Leistungsanwendungen geeignet ist. Die vorliegende Erfindung liefert eine Struktur und ein Verfahren zur Herstellung der Struktur, welche die Dicke eines Grenzflächenoxids zwischen dem Basis- und Emitterteil der Vorrichtung steuern. Der Prozeß nach der vorliegenden Erfindung dotiert ebenfalls den Teil des leitenden Materials gegen, welcher zum Schaffen der elektrischen Verbindung mit dem Emitterbereich verwendet wird. Diese Techniken liefern einen Bipolartransistor, welcher eine Verstärkung (Beta) aufweist, welche im Bereich von etwa 10 bis 100 liegt, und welcher eine Durchbruchsspannung (BV_{CEO}) aufweist, die größer als etwa 10 Volt ist und typischerweise im Bereich von etwa 15 Volt bis 50 Volt liegt. Dies bedeutet, daß ein in den Basisbereich injizierter Stromfluß in einen Stromfluß zwischen dem Emitter- und einem Kollektoranschluß resultiert, der etwa 10- bis 100mal höher ist.

Zusätzlich liefern der in der vorliegenden Erfindung beschriebene Prozeß ein Verfahren zum Steuern der Schwankungen im Widerstand des leitenden Materials, welches zum Schaffen eines elektrischen Kontakts mit dem Emitterbereich verwendet wird. Die Verbesserung bei diesen Schwankungen vereinfacht den Herstellungsprozeß, und

somit reduziert sie die Herstellungskosten des Bipolartransistors.

Patentansprüche

5

1. Halbleitervorrichtung (10) mit:
einem Halbleitersubstrat (11) eines ersten Leitungstyps, wobei das Halbleitersubstrat eine obere Oberfläche (21) aufweist;
einem ersten dotierten Bereich (12) in dem Halbleitersubstrat (11), wobei der erste dotierte Bereich (12) einen zweiten Leitungstyp aufweist und von der oberen Oberfläche (21) des Halbleitersubstrats (11) ausgeht;
einem zweiten dotierten Bereich (22) des zweiten Leitungstyps in dem Halbleitersubstrat (11), wobei der zweite dotierte Bereich (22) von der oberen Oberfläche (21) des Halbleitersubstrats (11) ausgeht; und
einem leitenden Material (28), welches zumindest einen Teil des ersten dotierten Bereichs (12) überdeckt, wobei das leitende Material (28) einen Rand (31) und einen Mittelpunkt (33) aufweist, wobei das leitende Material (28) eine erste Dotierungskonzentration des ersten Leitungstyps aufweist, das leitende Material (28) eine zweite Dotierungskonzentration des zweiten Leitungstyps aufweist, und die zweite Dotierungskonzentration am Mittelpunkt (33) des leitenden Materials größer als oder gleich (31) wie die zweite Dotierungskonzentration am Rand des leitenden Materials (28) ist.
2. Halbleitervorrichtung (10) nach Anspruch 1, wobei der zweite dotierte Bereich (22) zumindest einen Teil des ersten dotierten Bereichs (12) überlappt und das leitende Material (28) nichts vom zweiten dotierten Bereich (22) überdeckt.
3. Halbleitervorrichtung (10) nach Anspruch 1, weiterhin gekennzeichnet durch:
eine erste dielektrische Schicht (13), die über dem Halbleitersubstrat (11) liegt, wobei die erste dielektrische Schicht (13) ein erstes Loch (15) und ein zweites Loch (16) aufweist, welche jeweils einen ersten Rand und einen zweiten Rand aufweisen, wobei das erste Loch (15) über dem ersten dotierten Bereich (12) und das zweite Loch über dem zweiten dotierten Bereich (22) liegt; und
wobei das leitende Material (28) im ersten Loch (15) zwischen dem ersten Rand (17) und dem zweiten Rand (18) des ersten Lochs (15) ist, so daß der Rand (31) des leitenden Materials (28) neben dem ersten Rand (17) des ersten Lochs (15) ist.
4. Halbleitervorrichtung (10) nach Anspruch 3, weiterhin gekennzeichnet durch eine zweite dielektrische Schicht (27) zwischen dem leitenden Material (28) und der oberen Oberfläche (21) des Halbleitersubstrats (11).
5. Halbleitervorrichtung (10) nach Anspruch 4, wobei die zweite dielektrische Schicht (27) Siliziumdioxid aufweist und weniger als etwa 50 Angström dick ist.
6. Halbleitervorrichtung (10) nach Anspruch 1, wobei der erste Leitungstyp der n-Typ ist, die erste Dotierungskonzentration größer als etwa 1×10^{19} Atome/cm³ ist und die zweite Dotierungskonzentration geringer als etwa 1×10^9 Atome/cm³ ist.
7. Halbleitervorrichtung (10) nach Anspruch 1, wobei die zweite Dotierungskonzentration am Mittelpunkt (33) des leitenden Materials (28) zumindest 10 Prozent größer als die zweite Dotierungskonzentration am Rand (31) des leitenden Materials (28) ist.
8. Verfahren zum Herstellen einer Halbleitervorrichtung (10) mit folgenden Schritten:

8

Bereitstellen eines Halbleitersubstrats (11) eines ersten Leitungstyps, wobei das Halbleitersubstrat (11) eine Oberfläche (21) aufweist;
Bilden eines ersten dotierten Bereichs (12) eines zweiten Leitungstyps in dem Halbleitersubstrat (11);
Bilden einer ersten dielektrischen Schicht (13), die über dem Halbleitersubstrat (11) liegt;
Bilden eines ersten Lochs (15) in der ersten dielektrischen Schicht (13), wobei das erste Loch (15) einen ersten Rand (17) und einen zweiten Rand (18) aufweist, welche eine Breite des ersten Lochs (15) definieren;
Bilden eines ersten leitenden Materials (28) im ersten Loch (15) in der ersten dielektrischen Schicht (13), wobei das erste leitende Material (28) einen Mittelpunkt (33) und einen ersten Rand (31) aufweist, der neben dem ersten Rand (17) des ersten Lochs (15) gesetzt ist;
Dotieren des ersten leitenden Materials (28) mit einem ersten Dotierstoff des zweiten Leitungstyps zum Bilden einer ersten Dotierungskonzentration in dem leitenden Material (28);
Dotieren des ersten leitenden Materials (28) mit einem zweiten Dotierstoff des ersten Leitungstyps zum Bilden einer zweiten Dotierungskonzentration in dem ersten leitenden Material (28), wobei die zweite Dotierungskonzentration größer als die erste Dotierungskonzentration ist; und
Annealen des Halbleitersubstrats (11), so daß die erste Dotierungskonzentration am Mittelpunkt (33) des ersten leitenden Materials (28) größer als am ersten Rand (31) des ersten leitenden Materials (28) ist.
9. Verfahren zum Bilden einer Halbleitervorrichtung (10) mit folgenden Schritten:
Bereitstellen eines Halbleitersubstrats (11) mit einer Oberfläche (21);
Bilden eines ersten dotierten Bereichs (12) in dem Halbleitersubstrat (11);
Bilden einer Grenzflächen-Oxidschicht (27) auf der Oberfläche (21) des Halbleitersubstrats (11);
Bilden eines ersten leitenden Materials (28) auf der Grenzflächen-Oxidschicht (27) und überdeckend den ersten dotierten Bereich (12), wobei das erste leitende Material (28) einen Mittelpunkt (33) und einen ersten Rand (31) aufweist;
Implanieren des ersten leitenden Materials (28) mit einem ersten Dotierstoff eines ersten Leitungstyps;
Implanieren des ersten leitenden Materials (28) mit einem zweiten Dotierstoff eines zweiten Leitungstyps; und
Annealen des Halbleitersubstrats (11) derart, daß der erste Dotierstoff des ersten Leitungstyps einen Konzentrationsgradienten im ersten leitenden Material (28) bildet, welcher eine höhere Konzentration am Mittelpunkt (33) des ersten leitenden Materials (28) als am ersten Rand (31) des ersten leitenden Materials (28) aufweist.
10. Verfahren nach Anspruch 8, weiterhin gekennzeichnet durch folgende Schritte:
Bilden einer dielektrischen Schicht (13) auf der Oberfläche (21) des Halbleitersubstrats (11), wobei die dielektrische Schicht (13) eine obere Oberfläche (23) aufweist;
Bilden eines ersten Lochs (15) und eines zweiten Lochs (16) in der dielektrischen Schicht (13), wobei das erste Loch (15) einen ersten Rand (17) und einen zweiten Rand (18) aufweist, welche im wesentlichen senkrecht zur Oberfläche (21) des Halbleitersubstrats (11) sind;
Bilden eines zweiten dotierten Bereichs (22) durch Do-

tieren des Halbleitersubstrats (11) durch das zweite Loch (16) in der dielektrischen Schicht (13); und wobei der Schritt des Bildens des ersten leitenden Materials (28) das erste leitende Material (28) aus einer Schicht von polykristallinem Material bildet, so daß 5 der erste Rand (31) des ersten leitenden Materials neben den ersten Rand (17) des ersten Lochs (15) in der dielektrischen Schicht (13) gesetzt ist.

Hierzu 4 Seite(n) Zeichnungen

10

15

20

25

30

35

40

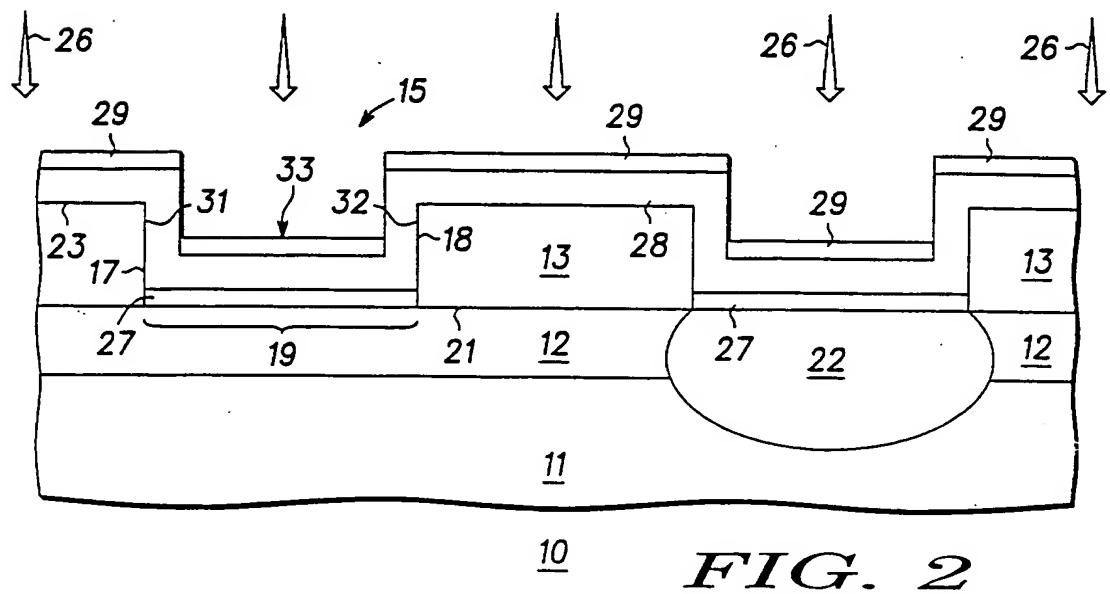
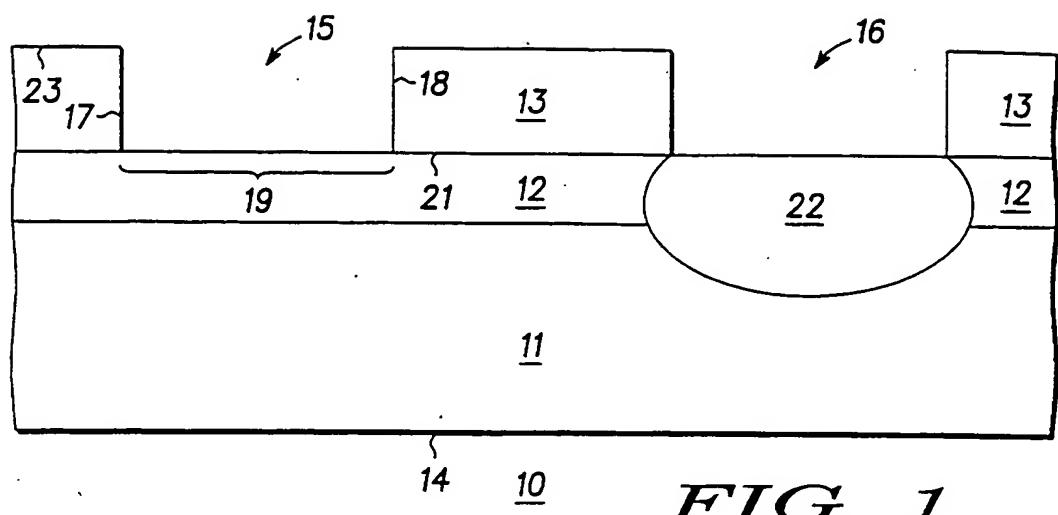
45

50

55

60

65



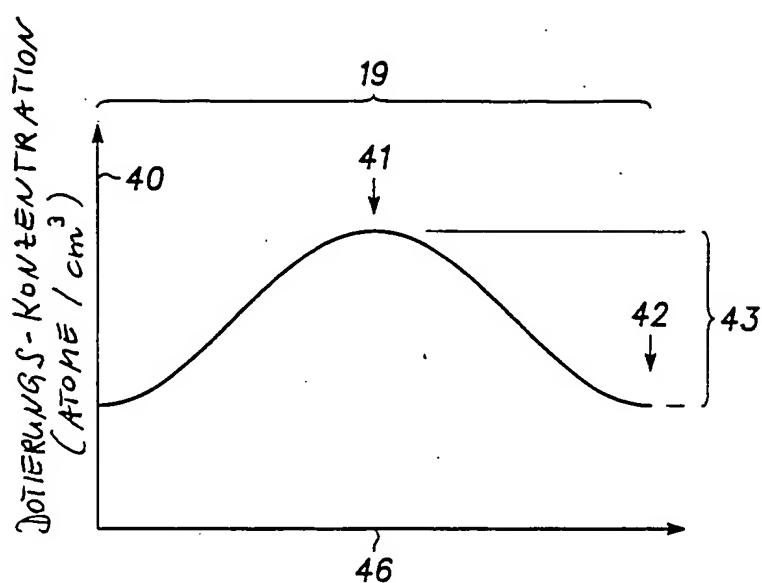


FIG. 3

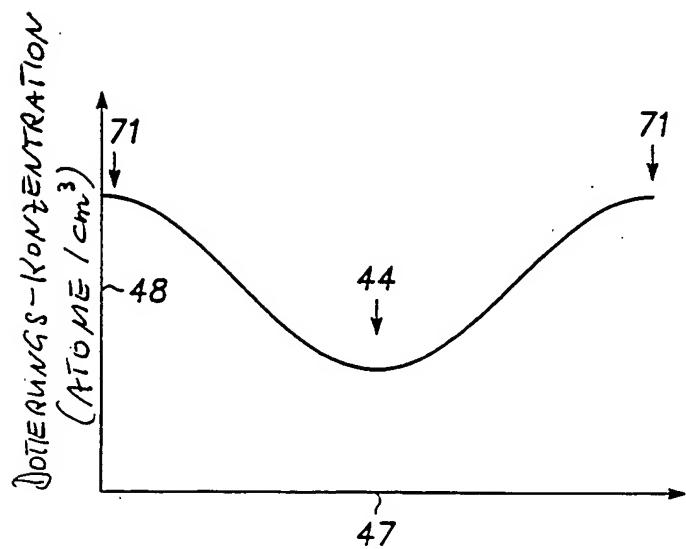
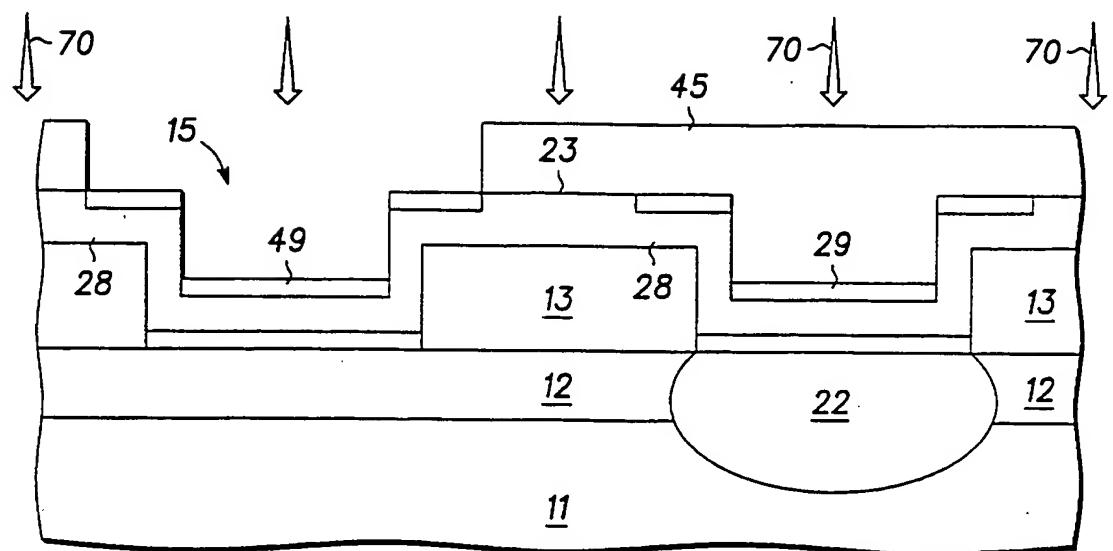
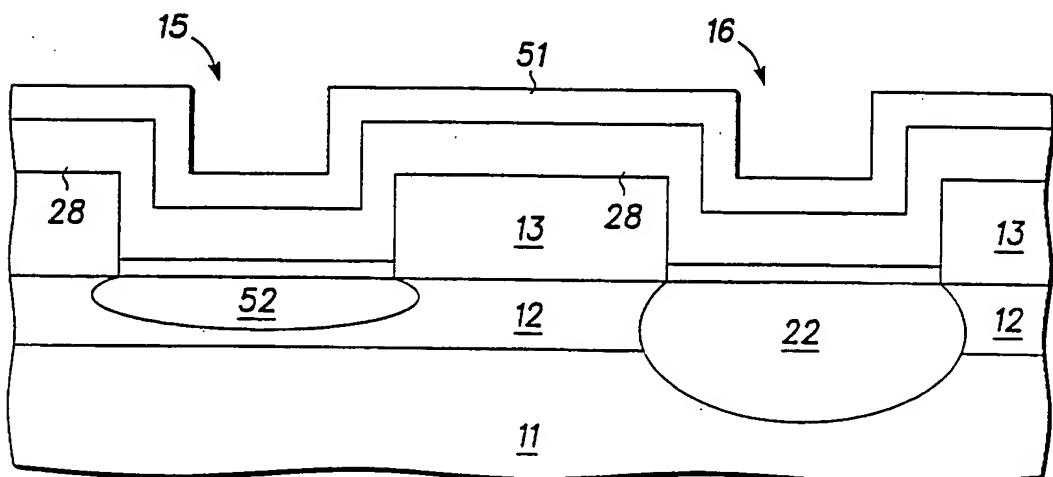
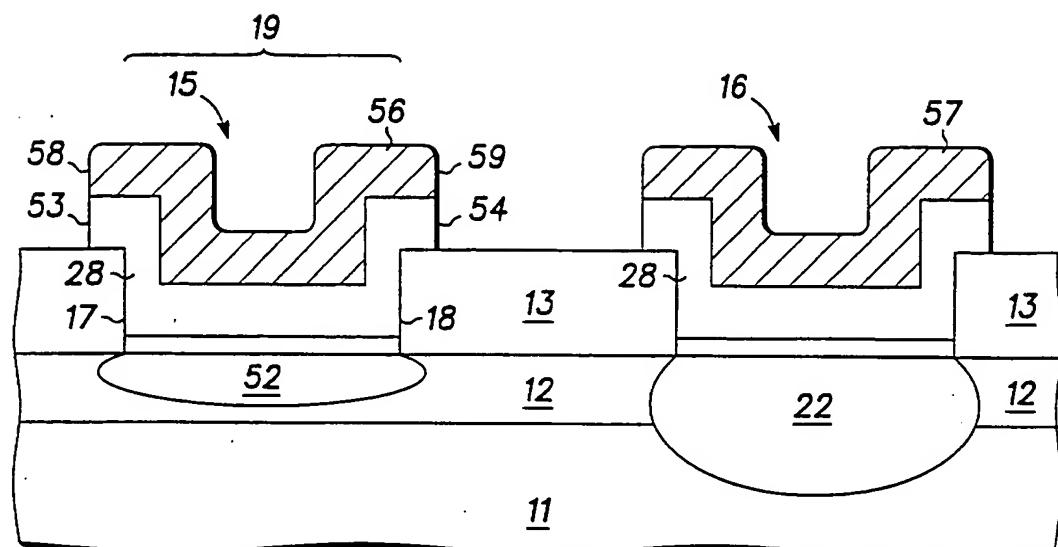


FIG. 4

STAND DER TECHNIK

10***FIG. 5***10***FIG. 6***

10***FIG. 7***